

令和5年度京都工芸繊維大学大学院工芸科学研究科
博士前期（修士）課程 電子システム工学専攻
学力検査試験問題

専門科目

注意

- この問題冊子は合図があるまで中を開かないでください。問題は
p. 1… 問題1（電磁気学）……………解答用紙1枚（問1表、問2裏）に記入
p. 2… 問題2（電気回路）……………解答用紙1枚に記入
p. 4… 問題3（電子回路）……………解答用紙2枚に記入
の3題であり、全問必答です。試験開始後、問題冊子の印刷不鮮明や落丁などに気づいたら申し出ること。
- 机の上には受験票以外に、次のものを置いてもよろしい。
…鉛筆（またはシャープペンシル）、消しゴム、鉛筆削り、定規、計時機能のみの時計
- 配付物は、この問題冊子1部、解答用紙4枚、および下書き用紙2枚です。解答用紙、下書き用紙の追加、交換はしません。
- 各問題と解答用紙の枚数は次の通りです。

問題	問題1（電磁気学）	問題2（電気回路）	問題3（電子回路）
解答用紙の枚数	1	1	2
- 解答用紙4枚すべての上欄指定枠内に、志望専攻名、受験番号を必ず記入すること。
科目欄には「問題番号(科目内容は不要)」を書くこと。小問について別々の解答用紙に記入するよう指示がある場合は科目欄に小問番号も書くこと。
… 例：「問題2 問1」、「問題2 問2」、「問題3」
- 解答用紙裏面にも記入する場合は、おもて面に「裏面使用」の断り書きをすること。
- 試験終了後も退室の許可があるまで退室はできません。
- 問題冊子と下書き用紙は持ち帰ってください。

電磁気学(問題 1)

問題 1 の解答用紙の表面に問 1、裏面に問 2 の解答をそれぞれ示せ。

真空(vacuum)の誘電率(permittivity)と透磁率(permeability)を、それぞれ ϵ_0 、 μ_0 として以下の問いに答えよ。解答には SI 単位系を用いよ。

問 1 電荷 (electric charge) がつくる電場 (electric field) について考えよう。電場の大きさを E で表すものとする。

- (a) ある閉曲面 (closed surface) から外側へ向かう全電束 (total electric flux) は、閉曲面内の電荷に等しい。この法則の呼び名 (law's name) を答えよ。

電荷が半径 R の球内 (sphere) に、密度 ρ にて一様に分布している。その球と同心で、半径 r の球面を S とする。

- (b) 電荷が分布する球の外側に S がある場合 ($r > R$)、 S を貫く全電束、 S に含まれる電荷および S における E を求めよ。
(c) 電荷が分布する球の内側に S がある場合 ($r \leq R$)、 S を貫く全電束、 S に含まれる電荷および S における E を求めよ。
(d) E を r ($r \geq 0$) の関数として図示せよ。

問 2 図 1 のように、内半径 R_1 、外半径 R_2 、厚さ D の長方形断面をもつ環状鉄心 (circular iron core) において、総巻数 N の導線を巻いた環状ソレノイド (circular solenoid) に定常電流 (constant current) I を流すことを考える。このとき、鉄心の比透磁率 (relative permeability) を μ_r とし、環状鉄心の中心軸からの距離を r ($R_1 < r < R_2$) として、以下の問いに答えよ。

- (a) アンペールの法則 (Ampere's law) より、鉄心内の磁界 (magnetic field) H_i と I の関係を示せ。
(b) 位置 r での微小断面 Ddr を貫く磁束 (magnetic flux) を積分することにより、長方形断面を貫く磁束を求めよ。
(c) インダクタンス (inductance) L を R_1 、 R_2 、 D 、 N を用いて表せ。

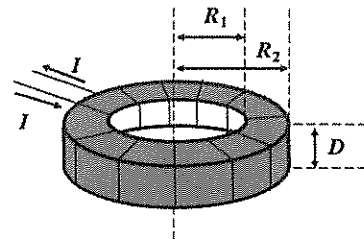


図 1

次に、図 2 のように鉄心の一部に幅 d ($d \ll R_1$) の周方向の間隙 (air gap) がある場合を考える。ただし、環状ソレノイドの外側への磁束の漏れ (leakage) は生じないものとする。

- (d) 間隙内の磁界 H_g と H_i および I の関係を示せ。
(e) 間隙内の磁束密度 (magnetic flux density) の大きさを求めよ。

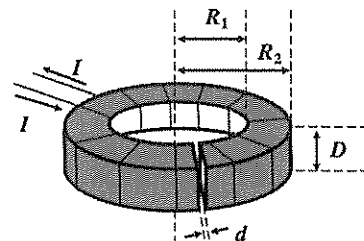


図 2

電気回路（問題 2） [1/2]

「電気回路（問題 2） 解答用紙」に解答せよ。

問 1 インダクタンス (inductance) L_1 と抵抗 (resistance) R_1 、可変容量 (variable capacitance) C_V を含む図 1 (a) の回路に、以下の電圧 (voltage) $e(t)$ を印加する場合を考える。

$$e(t) = E_0 \sin(\omega t + \phi)$$

ここで、 ω は角周波数 (angular frequency)、 ϕ は初期位相 (initial phase) である。

- (1) 電圧 $v_1(t)$ を $e(t)$ と同位相 (in phase) とするための C_V を求めよ。
- (2) そのときの (平均) 消費電力 (dissipation power) はいくらか。

次に、インダクタンス L_2 を加えて図 1 (b) に示す回路を構成した。

- (3) 電圧 $v_2(t)$ を $e(t)$ と同位相とするための C_V を求めよ。
- (4) そのときの $v_2(t)$ はいくらか。

さらに、インダクタンス L_3 および相互インダクタンス (mutual inductance) M を加えて図 1 (c) に示す回路を構成した。電圧 $v_3(t)$ を $e(t)$ と同位相するために C_V を調整した。

- (5) C_V はいくらか。
- (6) $v_3(t)$ を求めよ。
- (7) $v_4(t)$ を求めよ。

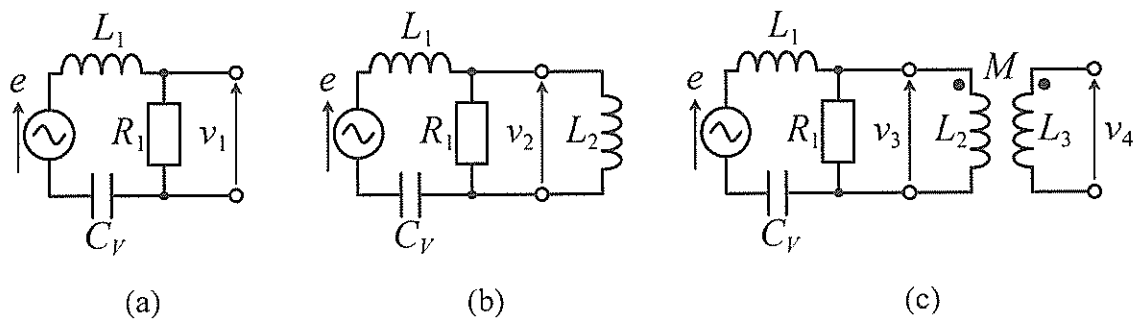


図 1

[次ページに続く]

電気回路 (問題 2) [2/2]

問 2 図 2 に示す回路において、キャパシタ(capacitor) 1、キャパシタ 2 のキャパシタンス(capacitance)はともに C であり、スイッチ SW は最初、接点(contact)1 にも 2 にも接続されず開いている。キャパシタ 1 の初期電荷(initial charge)は 0 であり、またキャパシタ 2 には初期電荷があり、その端子電圧(terminal voltage)は $E/2$ であったとする。抵抗(resistor)を図に示した向きに流れる電流(current)を $i(t)$ とする。以下の間に答えよ。なお、キャパシタの端子電圧、および蓄えられた電荷は図の上側の電極(electrode)を正に取るものとする。

スイッチ SW を接点 1 側に閉じた。この時刻を $t=0$ とする。

- (1) $t > 0$ において電流 $i(t)$ について成り立つ方程式を示せ。
- (2) 前設問の方程式を解いて電流 $i(t)$ を求めよ。

十分時間が経った後、スイッチ SW を接点 2 側に切り替えた。この時刻を改めて $t=0$ とする。

- (3) $t=0$ においてキャパシタ 1 および 2 に蓄えられた電荷はいくらか。
- (4) $t > 0$ において電流 $i(t)$ について成り立つ方程式を示せ。
- (5) 前設問の方程式を解いて電流 $i(t)$ を求めよ。
- (6) 十分に時間が経った後、キャパシタ 1 および 2 に蓄えられたエネルギーはいくらか。
- (7) キャパシタ 1 および 2 の端子電圧の時間変化を表すグラフの概形を描け。

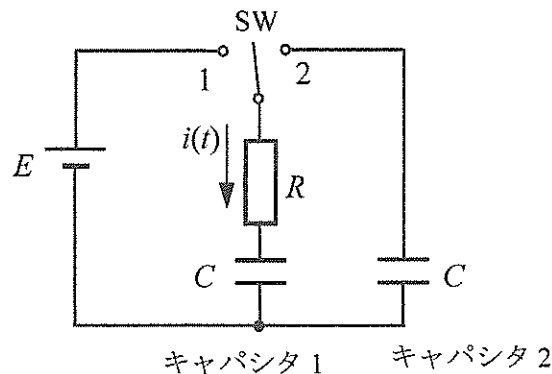


図 2

電子回路（問題 3） [1/3]

問 1 と問 2 は同じ回答用紙に，問 3 は別の解答用紙に記入せよ。

問 1 図 1(a) に示す 7 セグメントディスプレイ (7-segment display) を表示する論理回路を設計する。入力を (A, B, C, D) の 4 ビットの二進化十進符号 (Binary coded decimal code) とし，ディスプレイ (a から g) に対応する数値を 10 進数で「0」から「9」で表示する。ただし，10 以上の数値が入力された場合は「E」を表示する。それぞれの表示方法を図 1(b) に示す。

- (a) この入力と出力の真理値表を表 1 に示す。(i)(ii) を埋めよ。
- (b) 出力 \bar{e} について，カルノー図 (Karnaugh map) を用いて簡単化 (Rewriting) し，論理式 (Boolean Equation) で表わせ。
- (c) 同様に， \bar{f} についてカルノー図を用いて論理式で表わせ。

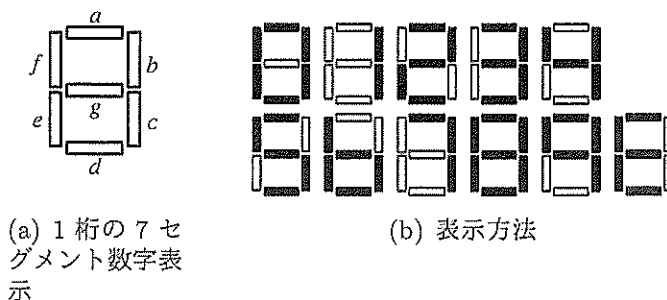


図 1: 問 1 の図

表 1: 7 セグメント LED の真理値表

表示	入力				出力						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1		1		0
1	0	0	0	1	0	1	1		0		0
2	0	0	1	0	1	1	0		1		1
3	0	0	1	1	1	1	1		0		1
4	0	1	0	0	0	1	1		0		1
5	0	1	0	1	1	0	1		0		1
6	0	1	1	0	0	0	1		1		1
7	0	1	1	1	1	1	1		0		0
8	1	0	0	0	1	1	1	(i)	1	(ii)	1
9	1	0	0	1	1	1	1		0		1
E	1	0	1	0	1	0	0		1		1
E	1	0	1	1	1	0	0		1		1
E	1	1	0	0	1	0	0		1		1
E	1	1	0	1	1	0	0		1		1
E	1	1	1	0	1	0	0		1		1
E	1	1	1	1	1	0	0		1		1

[次頁に続く]

電子回路（問題3） [2/3]

問2 図2は、4ビットの線形フィードバックシフトレジスタ（Linear feedback shift register）である。以下の問いに答えよ。

- (a) 各フリップフロップ（Flip-flop）の初期状態（Initial state）を $(Q_3, Q_2, Q_1, Q_0) = (1, 0, 0, 0)$ とし、クロック CK を3サイクル印加したときの (Q_3, Q_2, Q_1, Q_0) の各サイクル毎の状態（State）を示せ。
- (b) この線形フィードバックシフトレジスタは、 N サイクル CK を印加すると上記初期状態（Initial state） $(Q_3, Q_2, Q_1, Q_0) = (1, 0, 0, 0)$ に戻る。 N を求めよ。

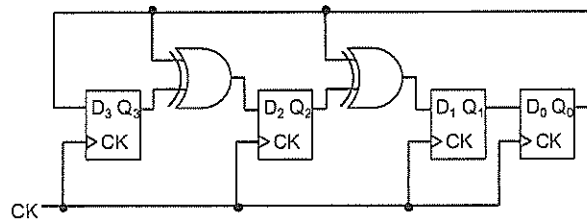


図2: 4ビット線形フィードバックシフトレジスタ

[次頁に続く]

電子回路（問題 3） [3/3]

問 3 図 3 の回路において、閉ループ利得 (Closed-loop gain) を $A_G = V_{out}/V_{in}$, 演算増幅器 (Operational Amplifier) の開ループ利得 (Open-loop gain) を A とする。次の問いに答えよ。

- (a) 図 3 の V_{out} を A, V_{in}, V_- を用いて求めよ。
- (b) 図 3 の A_G を A, R_1, R_2 を用いて求めよ。
- (c) 理想的な演算増幅器 ($A \rightarrow \infty$) のとき, $A_G \simeq 1 + R_1/R_2$ となることを示せ。
- (d) $A \gg 1 + R_1/R_2$ のとき, (b) で求めた A_G を以下の式のように近似する。四角に入る数式を求めよ。

$$A_G = \frac{V_{out}}{V_{in}} \simeq \left(1 + \frac{R_1}{R_2}\right) \left(1 - \square \frac{1}{A}\right)$$

- (e) $1 + R_1/R_2 = 10$ としたとき, (d) で求めた A_G の (c) で求めた A_G に対する相対誤差 (relative error) が 1% 以下となるための A の最小値 (minimum value) を求めよ。

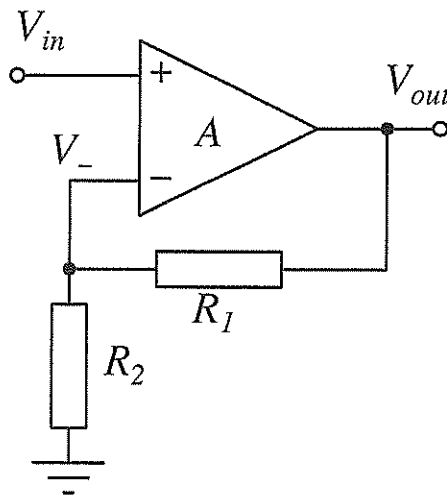


図 3: 非反転増幅回路 (non-inverting amplifier)