

令和4年度京都工芸繊維大学大学院工芸科学研究科
博士前期（修士）課程 電子システム工学専攻
学力検査試験問題

専門科目

注意

- この問題冊子は合図があるまで中を開かないでください。問題は

p. 1…、問題1（電磁気学）……………解答用紙1枚（問1表、問2裏）に記入
p. 2…、問題2（電気回路）……………解答用紙1枚に記入
p. 4…、問題3（電子回路）……………解答用紙2枚に記入

の3題であり、全問必答です。試験開始後、問題冊子の印刷不鮮明や落丁などに気づいたら申し出ること。
- 机の上には受験票以外に、次のものをしてよろしい。
…鉛筆（またはシャープペンシル）、消しゴム、鉛筆削り、定規、計時機能のみの時計
- 配付物は、この問題冊子1部、解答用紙4枚、および下書き用紙2枚です。解答用紙、下書き用紙の追加、交換はしません。
- 各問題と解答用紙の枚数は次の通りです。

問題	問題1（電磁気学）	問題2（電気回路）	問題3（電子回路）
解答用紙の枚数	1	1	2
- 解答用紙4枚すべての上欄指定枠内に、志望専攻名、受験番号を必ず記入すること。
科目欄には「問題番号（科目内容は不要）」を書くこと。小問について別々の解答用紙に記入するよう指示がある場合は科目欄に小問番号も書くこと。
… 例：「問題2問1」、「問題2問2」、「問題3」
- 解答用紙裏面にも記入する場合は、おもて面に「裏面使用」の断り書きをすること。
- 試験終了後も退室の許可があるまで退室はできません。
- 問題冊子と下書き用紙は持ち帰ってください。

電磁気学 (問題 1)

問題 1 の解答用紙の表面に問 1、裏面に問 2 の解答をそれぞれ記せ。

真空(vacuum)の誘電率(permittivity)と透磁率(permeability)はそれぞれ ϵ_0 と μ_0 として以下の問いに答えよ。解答には SI 単位系を用いよ。

問 1 真空中で図 1 に示すように原点 O を同心とした半径 a の導体球(spherical conductor)と内半径 b 、外半径 c の導体球殻(spherical shell conductor)がある。ただし、 $a < b < c$ とする。導体球に正電荷 (positive electric charge) Q_1 、導体球殻に正電荷 Q_2 与える。

- (a) 導体球の表面(O からの距離 a の面)全体に生じる電荷の総量はいくらか。
- (b) 導体球殻の内側の表面(O からの距離 b の面)全体に生じる電荷の総量はいくらか。
- (c) 導体球殻の外側の表面(O からの距離 c の面)全体に生じる電荷の総量はいくらか。
- (d) O から距離 r の位置における電場(electric field) の大きさ $E(r)$ を求めよ。
- (e) O から距離 r の位置における電位(electric potential) $\phi(r)$ を求めよ。ただし、無限遠(infinity)での電位を 0 とする。
- (f) r に対する $\phi(r)$ のグラフを描け。

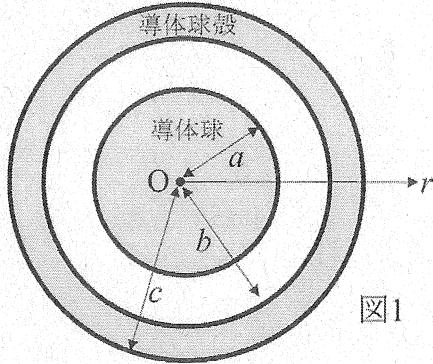


図1

問 2 真空中に置かれた、無限に(ininitely)長い直線導線(straight conducting wires)について、導線の半径は十分に小さいものとして、以下の問いに答えよ。

導線 1 を y 軸上に配置し、正の方向に電流(current) I を流した。

- (a) x 軸上の点 $P(x = x_P)$ における磁束密度(magnetic flux density)の大きさと向きを求めよ。

図 2 のように導線 1 から l だけ離して導線 2 を平行に配置し、導線 1 と反対方向に電流 I を流した。

- (b) 導線 1 と導線 2 の間の x 軸上の点 $Q(x = x_Q, 0 < x_Q < l)$ における磁束密度の大きさと向きを求めよ。
- (c) 導線 1、2 を結ぶ線の中点から、その線、および導線に垂直な方向に z 離れた位置(点 R)における磁束密度の大きさと向きを求めよ。

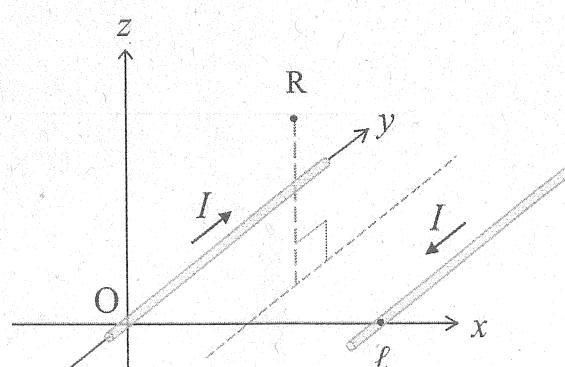


図 2

電気回路（問題2）[1/2]

「電気回路（問題2）解答用紙」に解答せよ。

問1 抵抗値 R の抵抗器(resistor)とキャパシタンスが C のキャパシタ(capacitor)を直列に接続した図1のような回路があり、流れるフェーザ電流(phasor current)を i 、両端のフェーザ電圧(phasor voltage)を \dot{E} とし、その角周波数(angular frequency)を ω とする。以下の間に答えよ。

(1) \dot{E} を R, C, ω, i を使って表せ。

抵抗、キャパシタの両端の電圧をそれぞれ \dot{V}_R, \dot{V}_C とする。 \dot{E} の位相(phase)が 0° であったとして $\dot{E}, \dot{V}_R, \dot{V}_C$ のフェーザ図(phasor diagram)を描くと図2のようになつた。

(2) ω を R, C を使って表せ。

次に、角周波数を ω の k 倍の $k\omega$ に変えると、 \dot{V}_R と \dot{E} の実効値(effective value)の比が $|\dot{V}_R| : |\dot{E}| = 1 : 2$ になつた。

(3) \dot{E} の位相を 0° として \dot{V}_C の位相はいくらか。

(4) \dot{V}_R, \dot{V}_C のフェーザ図を解答欄に描け。解答欄には座標軸と \dot{E} は記入されている。

(5) k はいくらか。

図1と同じ値をもつ R と C を加えて図3の回路を作つた。

(6) a点を基準としたb点の電圧 \dot{V}_{ba} の実効値は \dot{E} の実効値の何倍か。

(7) 角周波数を変えて \dot{V}_R の位相が θ となつたとき \dot{V}_{ba} の位相はいくらか。

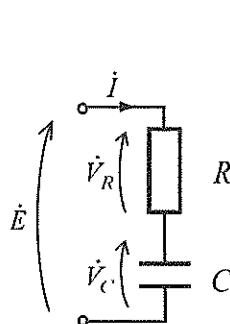


図1

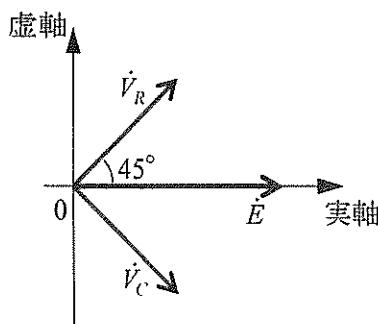


図2

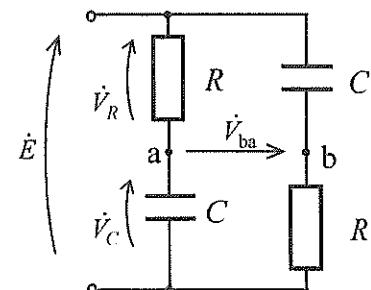


図3

[次ページへ続く]

電気回路（問題2）[2/2]

問2 キャパシタンス C のキャパシタ、抵抗値 R の抵抗器、インダクタンス L のインダクタ (inductor)、電圧 V の直流電源 (dc voltage source)、及びスイッチ S からなる図4のような回路がある。時刻を t で表し、時刻 $t < 0$ ではスイッチ S は開いており、キャパシタには電荷 (charge) が蓄えられていないものとする。なお、図4に示すようにキャパシタの両端にかかる電圧を $v(t)$ 、電流 (current) を $i(t)$ とおき、キャパシタに蓄えられる電荷を $q(t)$ とする。

$t = 0$ において S を接点aに接続した。以下の問い合わせよ。

- (1) 時刻 $t > 0$ において、電圧 $v(t)$ に関する微分方程式 (differential equation) を示せ。
- (2) 設問(1)の微分方程式を解き、電圧 $v(t)$ を V, R, C および t を用いて表せ。導出過程も示すこと。
- (3) 電流 $i(t)$ と電荷 $q(t)$ を V, R, C および t を用いて表せ。

スイッチ S を接点aに接続してから十分に時間が過ぎた後、スイッチ S をbに接続した。この時の時刻を $t = 0$ と改めておく。この時、電流 $i(t)$ の波形は臨界制動を示していた。以下の問い合わせよ。

- (4) 時刻 $t > 0$ において、電流 $i(t)$ に関する2階の微分方程式を示せ。
- (5) この時の抵抗値 R を L と C を用いて表せ。式の導出過程も示すこと。
- (6) 電流 $i(t)$ の時間変化を表すグラフの概形を図示せよ。

スイッチ S を接点aに接続する前に、抵抗値 R を異なる抵抗値 R' に、もしくはインダクタンス L を異なるインダクタンス L' に変更することを考える。両方は同時に変更しない。先ほどと同様に、スイッチ S を接点aに接続してから十分に時間が過ぎた後、スイッチ S をbに接続した。スイッチ S をbに接続した後の電流を観測すると、振動を繰り返しながらその大きさは小さくなっていた。

- (7) 変更した抵抗値やインダクタンスは以下の(ア)～(エ)の場合のどれが当てはまるか、全て選べ。

(ア) $R' > R$ (イ) $R' < R$ (ウ) $L' > L$ (エ) $L' < L$

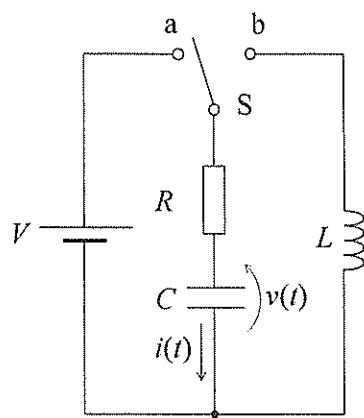


図4

電子回路 (問題3) [1/2]

問1と問2を別の解答用紙に解答すること。

問1 図1にVerilog HDLで記述したカウンタ(counter)を示す。

- このカウンタの状態遷移図(state transition diagram)を書け。
- このカウンタの状態遷移表(state transition table)を書け。
- 各D-FFの入力をカルノー図(Karnaugh map)を使って簡単化し、論理式(logical equation)で表わせ。
- このカウンタ全体の論理ゲートレベル(logic-gate level)の回路図(circuit diagram)を非同期リセット付きD-FF(D-FF with asynchronous reset input, 図2), 非同期セット付きD-FF(D-FF with asynchronous set input, 図3)とNANDゲート, インバータのみを用いて書いて。できるだけ論理ゲート数を少なくすること。なお、非同期リセット付きD-FFは入力RSTBを0とすることで出力Qが0となり、非同期セット付きD-FFは入力SETBを0とすることにより、出力Qが1となるD-FFである。
- $Q[1]$ を出力するDFFの入力信号D[1]を生成する回路をCMOS構造を使ってトランジスタレベル(transistor level)で表わせ。

```
module counter (Q, RESETB, CLK);
    input RESETB, CLK;
    output [2:0] Q;
    reg [2:0] Q;
    always @ (posedge CLK or negedge RESETB)
        if (RESETB==0)
            Q<=2;
        else
            if (Q==2)
                Q<=5;
            else if (Q==5)
                Q<=6;
            else if (Q==6)
                Q<=3;
            else if (Q==3)
                Q<=4;
            else if (Q==4)
                Q<=7;
            else if (Q==7)
                Q<=2;
endmodule // counter
```

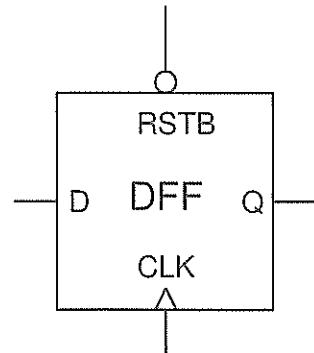


図2: 非同期リセット付き DFF

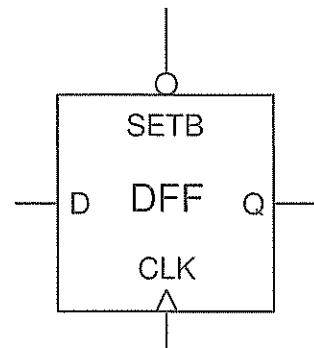


図1: カウンタのVerilog HDL記述

図3: 非同期セット付き DFF

[次ページに続く]

電子回路（問題3） [2/2]

問2 図4に示す理想オペアンプ（ideal operational amplifier），抵抗値 R_1 および R_2 の抵抗（resistance）を含む回路がある。抵抗値 R_1 の抵抗に流れる電流（current）の値は i ，またその向きは図の矢印で表される。回路の入力電圧（input voltage）および出力電圧（output voltage）の値は，それぞれ V_{in} ， V_{out} である。下記の問い合わせに答えよ。

- 入力電圧と抵抗および電流の関係を式で示せ。
- 出力電圧と抵抗および電流の関係を式で示せ。
- この回路の電圧利得（voltage gain, $V_{\text{out}}/V_{\text{in}}$ ）を求めよ。
- R_1 を $1.5 \text{ k}\Omega$ ， R_2 を $7.5 \text{ k}\Omega$ とし，オペアンプに正電源電圧として $+5 \text{ V}$ ，また負電源電圧として -5 V を供給する。 V_{in} を振幅電圧 2 V ，周波数 1 kHz の正弦波（周波数は回路が追随する範囲内にある）とする。このときの V_{in} と V_{out} の波形 1 周期分を図示せよ。

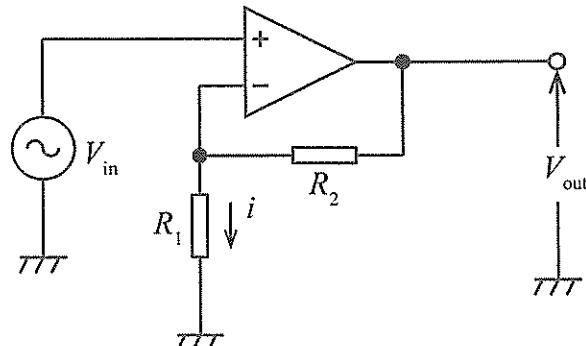


図4